

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-121638

(43)Date of publication of application : 30.04.1999

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

H01L 27/115

H01L 27/10

(21)Application number : 09-284815

(71)Applicant : HITACHI LTD

(22)Date of filing : 17.10.1997

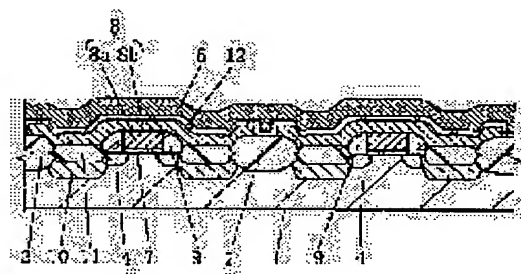
(72)Inventor : OWADA FUKUO

(54) SEMICONDUCTOR DEVICE, MPU DEVICE AND MANUFACTURE OF THE SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To increase the coupling ratio between a floating gate and a control gate.

SOLUTION: This manufacturing method comprises depositing a conductor film to become a floating gates 8, placing an insulation film deposited on this conductor film at a distance within the resolution limit, forming sidewalls 9 on the side faces of the insulation film, and patterning the conductor film to form floating gates 8 with the insulation film and sidewalls 9 used as a mask, thereby placing the floating gates at spacing which are within the photolithographic resolution limit. This allows the floating gate region to be increased, without changing the memory cell size of a nonvolatile memory element, and hence the coupling capacitance between the floating and control gates is increased to enable low voltage operation.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

26.03.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-121638

(43) 公開日 平成11年(1999) 4月30日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/8247

H 0 1 L 29/78

3 7 1

29/788

27/10

4 6 1

29/792

4 3 4

27/115

27/10

4 6 1

審査請求 未請求 請求項の数 9 O L (全 14 頁)

(21) 出願番号

特願平9-284815

(22) 出願日

平成9年(1997)10月17日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 大和田 福夫

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(74) 代理人 弁理士 秋田 収喜

(54) 【発明の名称】 半導体装置、MPU装置及び半導体装置の製造方法

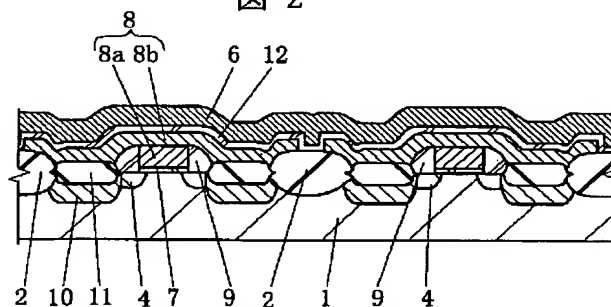
(57) 【要約】

【課題】 フローティングゲート-コントロールゲート間のカップリング比を増加させる。

【解決手段】 フローティングゲートとなる導体膜を堆積させ、前記導体膜の上に堆積させた絶縁膜を解像限界内の間隔で配置し、前記絶縁膜の側面にサイドウォールを形成して、前記絶縁膜及びサイドウォールをマスクとしたパターンニングによって前記導体膜からフローティングゲートを形成することによって、フローティングゲートをホトリソグラフィの解像限界未満の間隔で配置する。

【効果】 上述した手段によれば、不揮発性記憶素子のメモリセルサイズを変更せずに、フローティングゲートの面積を拡大することができるので、フローティングゲート-コントロールゲート間のカップリング容量を増加させ、低電圧動作を可能とすることができる。

図 2



【特許請求の範囲】

【請求項 1】 フローティングゲートを設けた二層ゲート構造の不揮発性記憶素子が隣接して複数設けられている半導体装置において、
一のフローティングゲートと隣接する他のフローティングゲートとがホトリソグラフィの解像限界未満の間隔で配置されていることを特徴とする半導体装置。

【請求項 2】 前記フローティングゲートがソース領域、ドレイン領域間のゲート絶縁膜上に位置する下層膜と、この下層膜に積層され絶縁膜を介してソース領域、ドレイン領域上に延在する上層膜とからなり、一のフローティングゲートの上層膜と隣接する他のフローティングゲートの上層膜とがホトリソグラフィの解像限界未満の間隔で配置されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記不揮発性記憶素子をマトリクス状に複数設け、AND 型の回路構成としたことを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 4】 フローティングゲートを設けた二層ゲート構造の不揮発性記憶素子をマトリクス状に複数設けた記憶領域が設けられている MPU 装置において、
一のフローティングゲートと隣接する他のフローティングゲートとがホトリソグラフィの解像限界未満の間隔で配置されていることを特徴とする MPU 装置。

【請求項 5】 前記フローティングゲートがソース領域、ドレイン領域間のゲート絶縁膜上に位置する下層膜と、この下層膜に積層され絶縁膜を介してソース領域、ドレイン領域上に延在する上層膜とからなり、一のフローティングゲートの上層膜と隣接する他のフローティングゲートの上層膜とがホトリソグラフィの解像限界未満の間隔で配置されていることを特徴とする請求項 4 に記載の MPU 装置。

【請求項 6】 前記不揮発性記憶素子を AND 型の回路構成としたことを特徴とする請求項 4 又は請求項 5 に記載の MPU 装置。

【請求項 7】 フローティングゲートを設けた二層ゲート構造の不揮発性記憶素子が隣接して複数設けられている半導体装置の製造方法において、
前記フローティングゲートとなる導体膜を堆積させる工程と、
前記導体膜の上に絶縁膜を堆積させる工程と、
前記絶縁膜を、ホトリソグラフィによって解像限界内の間隔で配置するパターンニングを行う工程と、
前記絶縁膜の側面にサイドウォールを形成する工程と、
前記絶縁膜及びサイドウォールをマスクとしたエッチングによって前記導体膜をパターンニング形成し、フローティングゲートをホトリソグラフィの解像限界未満の間隔で配置する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 8】 前記フローティングゲートがソース領

域、ドレイン領域間のゲート絶縁膜上に位置する下層膜と、この下層膜に積層され絶縁膜を介してソース領域、ドレイン領域上に延在する上層膜とからなり、一のフローティングゲートの上層膜と隣接する他のフローティングゲートの上層膜とがホトリソグラフィの解像限界未満の間隔で配置されていることを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 前記不揮発性記憶素子をマトリクス状に複数設け、AND 型の回路構成としたことを特徴とする請求項 7 又は請求項 8 に記載の半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、二層ゲート構造の不揮発性記憶素子を有する半導体装置に関し、特にコントロールゲートとフローティングゲートとのカップリング比の向上に適用して有効な技術に関するものである。

【0002】

【従来の技術】 半導体記憶装置には、フローティングゲートへの電荷の注入或いは引き抜きを行い、フローティングゲートの電荷の有無によって情報の記憶を行う二層ゲート構造を有するものがあり、フローティングゲートの電荷は電源が加えられていない状態でも情報を保持することができるので不揮発性記憶素子として用いられている。

【0003】 また、半導体装置では、高速化に伴う発熱の問題或いは微細化の進展による耐圧の問題等から、全般に低電源電圧化が進められており、記憶素子についても低電源電圧化が大きな課題となっている。

【0004】 この低電圧動作には、フローティングゲートとコントロールゲートとのカップリング比を高めて、フローティングゲート-コントロールゲート間の容量を増加させることが有効である。

【0005】

【発明が解決しようとする課題】 フローティングゲートは、通常ゲート絶縁膜を介してソース領域、ドレイン領域間に設けられるため、メモリセルサイズによって略一定の範囲に限定されてしまい、この範囲を越えてフローティングゲートを拡大し、且つセルサイズの拡大を回避する技術が求められた。

【0006】 このため、例えば特開平 7-176705 号公報に記載されているように、フローティングゲートを半導体基板主面にゲート絶縁膜を介して設けられる下層膜と、この下層膜に積層された上層膜とで構成することによって、この上層膜は絶縁膜を介してソース領域、ドレイン領域上にも拡げることができるので、フローティングゲートとコントロールゲートとが重なり合う面積を拡大し、フローティングゲート-コントロールゲートのカップリング比を高めることが可能となる。

【0007】 本発明の課題は、更にフローティングゲート-コントロールゲートのカップリング比を増加させ、

10

20

30

40

50

更なる低電圧動作を可能とする技術を提供することにある。本発明の前記ならびにその他の課題と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0008】

【問題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。フローティングゲートとなる導体膜を堆積させ、前記導体膜の上に堆積させた絶縁膜を解像限界内の間隔で配置し、前記絶縁膜の側面にサイドウォールを形成して、前記絶縁膜及びサイドウォールをマスクとしたパターニングによって前記導体膜からフローティングゲートを形成することによって、フローティングゲートをホトリソグラフィの解像限界未満の間隔で配置する。

【0009】上述した手段によれば、不揮発性記憶素子のメモリセルサイズを変更せずに、フローティングゲートの面積を拡大することができるので、フローティングゲート-コントロールゲート間のカップリング容量を増加させ、低電圧動作を可能とすることができる。

【0010】以下、本発明の実施の形態を説明する。なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0011】

【発明の実施の形態】

（実施の形態1）図1に示すのは、本発明の一実施の形態である二層ゲート構造のFETを有する半導体装置の要部を一部切欠いて示す平面図であり、図2に示すのは、図1中のa-a線に沿った縦断面図であり、記憶素子となる二層ゲート構造のFETを示している。

【0012】本実施の形態の半導体装置は、不揮発性記憶素子である二層ゲート構造のFETをマトリクス状に複数設け、各FETを並列に接続したAND型の回路構成となっている。AND型の回路構成では、半導体基板1主面をフィールド絶縁膜2によって区分した各素子形成領域3に、列方向に連続する所定数のFETが形成され、この所定数のFETによって単位ブロックが構成され、同一ブロックを構成するFETの複数のソース領域、ドレイン領域4が夫々連続して形成されることによって、ソース領域、ドレイン領域4が夫々ブロックごとに共通化されている。

【0013】共通化されたドレイン領域4は、各素子形成領域3の一端に設けられた選択FET5によって各FETの上層に形成され列方向に延在するデータ線（図示せず）に接続される。共通化されたソース領域4は、他端に位置する選択FET（図示せず）によって各FETの上層に形成され列方向に延在するソース線（図示せず）に接続されている。

【0014】ソース線には、動作モードによって異なる

電位に設定され、読み出し動作、書き込み動作時には接地電位に設定され、消去動作時には負の電位に設定されている。また、コントロールゲート6は、行方向に隣接する他のブロックのFETのコントロールゲート6と所定数接続され、行方向に延在するワード線となっている。

【0015】また、半導体基板1主面上にゲート絶縁膜7を介してソース領域、ドレイン領域4間に、フローティングゲート8の下層膜8aが設けられ、フローティングゲート8は、この下層膜8aと下層膜8aに積層されソース領域、ドレイン領域4上にも拡げる上層膜8bとによって構成されている。

【0016】このようなAND型の回路構成では、書き込み又は消去の電圧が印加されるのが選択されたブロックのFETに限定されるので、非選択のFET即ちワード線及びデータ線の少なくとも何れか非選択の状態となっているブロックのメモリセルには書き込み又は消去の電圧が印加されないで、これらの電圧が印加されることによるソフトライトやソフトイレース等の誤動作を防止することができる。

【0017】図2に示すように、記憶素子となる二層ゲート構造のFETは、半導体基板1主面上にゲート絶縁膜7を介してフローティングゲート8の下層膜8aを形成し、この下層膜8aに対して自己整合でソース領域、ドレイン領域4が形成されている。

【0018】下層膜8aの側面には、下層膜8aの側面を覆うサイドウォール9を設け、このサイドウォール9の外側に、各メモリセルのドレイン領域、ソース領域4を接続する高不純物濃度の拡散層配線10を設けてある。

【0019】半導体基板1主面のソース領域、ドレイン領域4及び拡散層配線10領域には酸化珪素からなる絶縁膜11が形成され、この絶縁膜11を介して、フローティングゲート8の上層膜8bがソース領域、ドレイン領域4上に下層膜8aに沿って延在し、フィールド絶縁膜2上に隣接する他の上層膜8bと分離されている。

【0020】本実施の形態では、一のフローティングゲート8の上層膜8bと隣接する他のフローティングゲート8の上層膜8bとがホトリソグラフィの解像限界未満の間隔で配置され、これによってメモリセルサイズを増加させることなく上層膜8bの面積が増加するので、フローティングゲート8の上層膜8bとコントロールゲート6とのカップリング比を増加させることができる。或いは、上層膜8bの面積を減少させることなくメモリセルサイズを縮小できるので、同一のカップリング比を維持したままでメモリセルサイズの縮小が可能となる。

【0021】上層膜8bには、酸化珪素膜、窒化珪素膜、酸化珪素膜、窒化珪素膜を積層したONON膜からなるゲート間絶縁膜12を介して、多結晶シリコン膜とタングステンシリサイド等の高融点金属珪化物を積層し

たポリサイド膜からなるコントロールゲート6が積層されている。

【0022】次に、この半導体装置の製造方法について、図3乃至図17を用いて工程毎に説明する。

【0023】まず、LOCOS法によって、半導体基板1主面を各素子形成領域3に区分するフィールド絶縁膜2を形成し、素子形成領域3の半導体基板1主面にゲート絶縁膜7を形成する。この状態を図3に示す。

【0024】次に、フローティングゲート8の下層膜8aとなる多結晶シリコン膜8a'をCVDによって堆積させた上に窒化珪素膜13'をCVDによって堆積させる。この状態を図4に示す。

【0025】次に、ホトリソグラフィによって形成したレジストマスクを用いて窒化珪素膜13'をパターンニングしてキャップ13を形成し、このキャップ13をマスクとして多結晶シリコン膜8a'をパターンニングして下層膜8aを形成し、この下層膜8a及びキャップ13をマスクとしたイオン打込みによってソース領域、ドレイン領域4を形成する。この状態を図5に示す。

【0026】次に、酸化珪素膜を堆積させエッチバックすることによって下層膜8aの側面にサイドウォール9を形成する。この状態を図6に示す。

【0027】次に、ブロック内のソース領域、ドレイン領域を接続する拡散層配線10をサイドウォール9の外側に形成し、熱酸化によってソース領域、ドレイン領域4及び拡散層配線10の半導体基板1主面に酸化珪素からなる絶縁膜11を形成する。この熱酸化の際に下層膜8aは、キャップ13及びサイドウォール9によって保護される。この状態を図7に示す。

【0028】次に、窒化珪素を選択的に除去するエッチングによって、キャップ13を除去する。この状態を図8に示す。

【0029】次に、フローティングゲート8の上層膜8bとなる多結晶シリコン膜8b'を全面に堆積させる。この状態を図9に示す。

【0030】次に、多結晶シリコン膜8b'を保護するための酸化珪素からなる保護膜14を堆積した後に、窒化珪素からなる絶縁膜15をCVDによって全面に堆積させる。この状態を図10に示す。

【0031】次に、この絶縁膜15をフローティングゲート8の上層膜8bの形状にエッチング加工して、各パターンに分離する。この際に、このフローティングゲート8の形状は、ホトリソグラフィによる解像限界を考慮したものであり、最終形状のフローティングゲート8よりも間隔が広く、各パターンはホトリソグラフィによる解像限界の間隔で配置されることとなる。この状態を図11に示す。

【0032】次に、窒化珪素膜16'をCVDによって全面に堆積させる。この状態を図12に示す。

【0033】次に、堆積させた窒化珪素膜16'をエッ

チバックすることによって絶縁膜15の側面にサイドウォール16を形成する。この状態を図13に示す。

【0034】次に、前記絶縁膜15及びサイドウォール16をマスクとしたエッチングによって多結晶シリコン膜8b'をパターンニング形成する。この際に、絶縁膜15がホトリソグラフィによる解像限界の間隔で配置されており、この間隔がサイドウォール16によって更に狭められることとなるために、フローティングゲート8をホトリソグラフィの解像限界未満の間隔で配置されることとなる。この状態を図14に示す。

【0035】次に、フローティングゲート8の上層膜8bの側面に熱酸化による保護膜17を形成する。この状態を図15に示す。

【0036】次に、マスクとして用いた窒化珪素の絶縁膜15及びサイドウォール16を除去する。この際に、上層膜8bは保護膜14、17によって保護されている。この状態を図16に示す。

【0037】次に、酸化珪素膜、窒化珪素膜、酸化珪素膜、窒化珪素膜を積層したONON膜を全面に堆積させ、このONON膜がフローティングゲート8とコントロールゲート6とのゲート間絶縁膜12となる。この状態を図17に示す。

【0038】続いて、多結晶シリコン膜とタングステンシリサイド等の高融点金属硅化物を積層したポリサイド膜を形成し、このポリサイド膜をパターンニングして、各FET毎に分離するパターンニングを行い、各ブロックのコントロールゲート6が所定数接続され行方向に延在するワード線を形成する。

【0039】このワード線のパターンニング或いはワード線をマスクとしたパターンニングによって、ONON膜及びフローティングゲート8のパターンニングを行う所謂重ね切を行い、自己整合によってフローティングゲート8を各FET毎に分離して、図2に示す状態となる。

【0040】(実施の形態2) 図18に示すのは、本発明の他の実施の形態である二層ゲート構造のFETを有する半導体装置の要部を示す平面図であり、図19に示すのは、図18中のa-a線に沿った縦断面図であり、記憶素子となる二層ゲート構造のFETを示している。

【0041】本実施の形態の半導体装置は、不揮発性記憶素子である二層ゲート構造のFETをマトリクス状に複数設け、ソース領域を共通化したFETの組を複数並列に接続したNOR型の回路構成となっている。NOR型の回路構成では、コントロールゲート及びフローティングゲートがチャネル領域及びフィールド絶縁膜の上に延在し、ドレイン領域、ソース領域4上を通らないので、前述した実施の形態のソース領域、ドレイン領域4の半導体基板1主面を覆う絶縁膜11は必要がない。

【0042】本実施の形態の半導体装置では、半導体基板1主面をフィールド絶縁膜2によって区分した各素子形成領域3に、列方向に隣接するFETのソース領域4

10

20

30

40

50

が共通化され、このようなFETの組が行方向に複数設けられている。

【0043】ドレイン領域4は、各FETの上層に形成され行方向に延在するデータ線（図示せず）に接続され、共通化されたソース領域4は、各FETの上層に形成され行方向に延在するソース線（図示せず）に接続されている。また、コントロールゲート6は、行方向に隣接する他のブロックのFETのコントロールゲート6と所定数接続され、行方向に延在するワード線となっている。

【0044】また、半導体基板1主面上にゲート絶縁膜7を介してソース領域、ドレイン領域4間に、フローティングゲート8が設けられている。

【0045】図19に示すように、記憶素子となる二層ゲート構造のFETは、半導体基板1主面上にゲート絶縁膜7を介してフローティングゲート8を形成し、このフローティングゲート8に対して自己整合でソース領域、ドレイン領域（図示せず）が形成されている。

【0046】本実施の形態では、一のフローティングゲート8と隣接する他のフローティングゲート8とがホトリソグラフィの解像限界未満の間隔で配置され、これによってメモリセルサイズを増加させることなくフローティングゲート8の面積が増加するので、フローティングゲート8とコントロールゲート6とのカップリング比を増加させることができる。或いは、フローティングゲート8の面積を減少させることなくメモリセルサイズを縮小できるので、同一のカップリング比を維持したままメモリセルサイズの縮小が可能となる。

【0047】フローティングゲート8には、酸化珪素膜、窒化珪素膜、酸化珪素膜、窒化珪素膜を積層したONON膜からなるゲート間絶縁膜12を介して、多結晶シリコン膜とタングステンシリサイド等の高融点金属珪化物を積層したポリサイド膜からなるコントロールゲート6が積層されている。

【0048】次に、この半導体装置の製造方法について、図20乃至図29を用いて工程毎に説明する。

【0049】先ず、LOCOS法によって、半導体基板1主面を各素子形成領域3に区分するフィールド絶縁膜2を形成し、素子形成領域3の半導体基板1主面にゲート絶縁膜7を形成する。この状態を図20に示す。

【0050】次に、フローティングゲート8となる多結晶シリコン膜8'をCVDによって堆積させる。この状態を図21に示す。

【0051】次に、多結晶シリコン膜8'を保護するための酸化珪素からなる保護膜14を堆積した後に、窒化珪素からなる絶縁膜15をCVDによって全面に堆積させる。この状態を図22に示す。

【0052】次に、この絶縁膜15を、フローティングゲート8の形状にエッチング加工して、各パターンに分離する。この際に、このフローティングゲート8の形状

は、ホトリソグラフィによる解像限界を考慮したものであり、最終形状のフローティングゲート8よりも間隔が広く、ホトリソグラフィによる解像限界の間隔で配置されることとなる。この状態を図23に示す。

【0053】次に、窒化珪素膜16'をCVDによって全面に堆積させる。この状態を図24に示す。

【0054】次に、堆積させた窒化珪素膜16'をエッチバックすることによって絶縁膜の側面15にサイドウォール16を形成する。この状態を図25に示す。

10 【0055】次に、絶縁膜15及びサイドウォール16をマスクとしたエッチングによって多結晶シリコン膜8'をパターニング形成する。この際に、絶縁膜15がホトリソグラフィによる解像限界の間隔で配置されており、この間隔がサイドウォール16によって更に狭められることとなるために、フローティングゲート8をホトリソグラフィの解像限界未満の間隔で配置されることとなる。この状態を図26に示す。

20 【0056】次に、フローティングゲート8の側面に熱酸化による保護膜17を形成する。この状態を図27に示す。

【0057】次に、マスクとして用いた窒化珪素の絶縁膜15及びサイドウォール16を除去する。この際に、フローティングゲート8は保護膜14、17によって保護されている。この状態を図28に示す。

【0058】次に、保護膜14、17を除去し、酸化珪素膜、窒化珪素膜、酸化珪素膜、窒化珪素膜を積層したONON膜を全面に堆積させ、このONON膜がフローティングゲート8とコントロールゲート6とのゲート間絶縁膜12となる。この状態を図29に示す。

30 【0059】続いて、多結晶シリコン膜とタングステンシリサイド等の高融点金属珪化物を積層したポリサイド膜を形成し、このポリサイド膜をパターニングして、各FET毎に分離するパターニングを行い、各ブロックのコントロールゲート6が所定数接続され行方向に延在するワード線を形成する。

【0060】このワード線のパターニング或いはワード線をマスクとしたパターニングによって、ONON膜及びフローティングゲート8のパターニングを行う所謂重ね切を行い、自己整合によってフローティングゲート8を各FET毎に分離して、図19に示す状態となる。

40 【0061】以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0062】例えば前述した実施の形態ではAND型及びNOR型の回路構成のものについて記述したが、DiNOR型、NAND型等他の回路構成のものにも適用が可能である。

50 【0063】また、例えば、前記不揮発性記憶素子であ

る二層ゲートのFETを用いた記憶装置としても、或いは前記FETを記憶領域に形成したMPU装置としても、本発明は実施が可能である。

【0064】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

(1) 本発明によれば、フローティングゲートがホトリソグラフィの解像限界未満の間隔で配置されるという効果がある。

(2) 本発明によれば、上記効果(1)により、メモリセルサイズを増加させることなくフローティングゲートの面積を増加させることができるという効果がある。

(3) 本発明によれば、上記効果(2)により、フローティングゲートとコントロールゲートとのカップリング容量を増加させることができるという効果がある。

(4) 本発明によれば、上記効果(3)により、二層ゲート構造FETの低電源電圧化が図れるという効果がある。

(5) 本発明によれば、上記効果(1)により、フローティングゲートの面積を減少させずにメモリセルサイズを減少させることができるという効果がある。

(6) 本発明によれば、上記効果(5)により、フローティングゲートとコントロールゲートとのカップリング容量を減少させずにメモリセルサイズを減少させることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体装置の要部を示す平面図である。

【図2】図1中のa-a線に沿った縦断面図である。

【図3】本発明の一実施の形態である半導体装置を工程毎に示す縦断面図である。

【図4】本発明の一実施の形態である半導体装置を工程毎に示す縦断面図である。

【図5】本発明の一実施の形態である半導体装置を工程毎に示す縦断面図である。

【図6】本発明の一実施の形態である半導体装置を工程毎に示す縦断面図である。

【図7】本発明の一実施の形態である半導体装置を工程毎に示す縦断面図である。

【図8】本発明の一実施の形態である半導体装置を工程毎に示す縦断面図である。

【図9】本発明の一実施の形態である半導体装置を工程毎に示す縦断面図である。

【図10】本発明の一実施の形態である半導体装置を工程毎に示す縦断面図である。

【図11】本発明の一実施の形態である半導体装置を工

程毎に示す縦断面図である。

【図12】本発明の一実施の形態である半導体装置を工程毎に示す縦断面図である。

【図13】本発明の一実施の形態である半導体装置を工程毎に示す縦断面図である。

【図14】本発明の一実施の形態である半導体装置を工程毎に示す縦断面図である。

【図15】本発明の一実施の形態である半導体装置を工程毎に示す縦断面図である。

10 【図16】本発明の一実施の形態である半導体装置を工程毎に示す縦断面図である。

【図17】本発明の一実施の形態である半導体装置を工程毎に示す縦断面図である。

【図18】本発明の他の実施の形態である半導体装置の要部を示す平面図である。

【図19】図18中のa-a線に沿った縦断面図である。

【図20】本発明の他の実施の形態である半導体装置を工程毎に示す縦断面図である。

20 【図21】本発明の他の実施の形態である半導体装置を工程毎に示す縦断面図である。

【図22】本発明の他の実施の形態である半導体装置を工程毎に示す縦断面図である。

【図23】本発明の他の実施の形態である半導体装置を工程毎に示す縦断面図である。

【図24】本発明の他の実施の形態である半導体装置を工程毎に示す縦断面図である。

【図25】本発明の他の実施の形態である半導体装置を工程毎に示す縦断面図である。

30 【図26】本発明の他の実施の形態である半導体装置を工程毎に示す縦断面図である。

【図27】本発明の他の実施の形態である半導体装置を工程毎に示す縦断面図である。

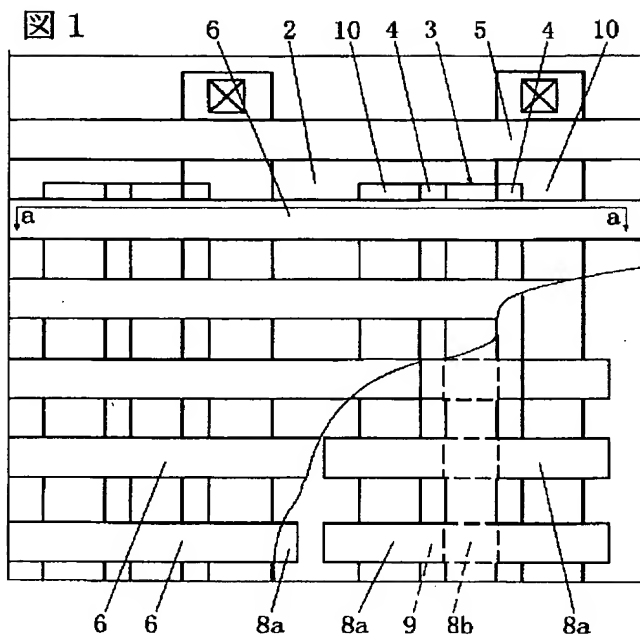
【図28】本発明の他の実施の形態である半導体装置を工程毎に示す縦断面図である。

【図29】本発明の他の実施の形態である半導体装置を工程毎に示す縦断面図である。

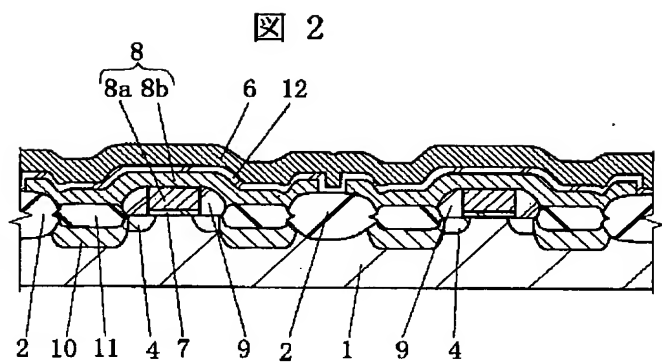
【符号の説明】

1…半導体基板、2…フィールド絶縁膜、3…素子形成領域、4…ソース領域、ドレイン領域、5…選択FET、6…コントロールゲート、7…ゲート絶縁膜、8…フローティングゲート、8a…下層膜、8b…上層膜、8'、8a'、8b'…多結晶シリコン膜、9…サイドウォール、10…拡散層配線、11…絶縁膜、12…ゲート間絶縁膜、13…キャップ、13'、16'…窒化珪素膜、14、17…保護膜、15…絶縁膜、16…サイドウォール。

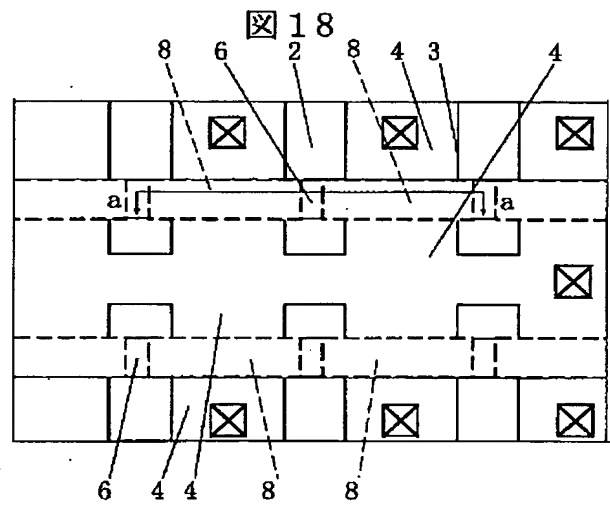
【図 1】



【図 2】

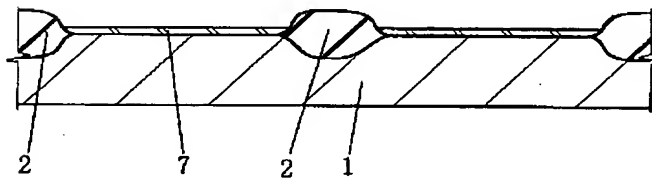


【図 18】



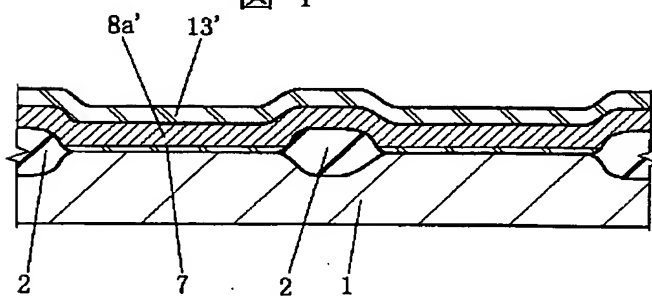
【図 3】

図 3



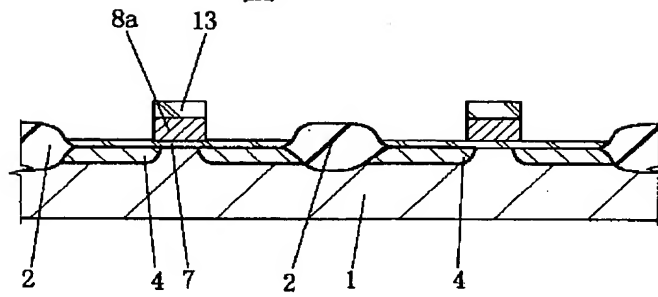
【図 4】

図 4



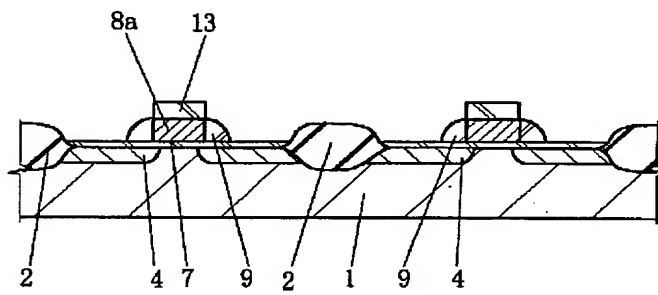
【図 5】

図 5



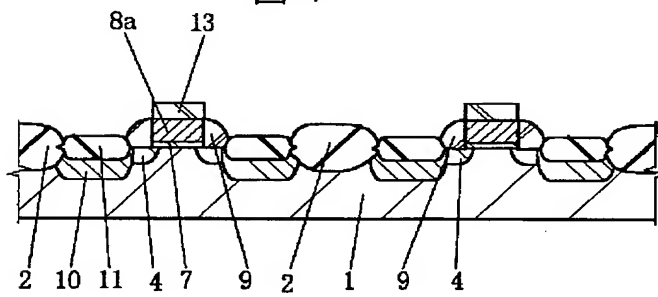
【図 6】

図 6



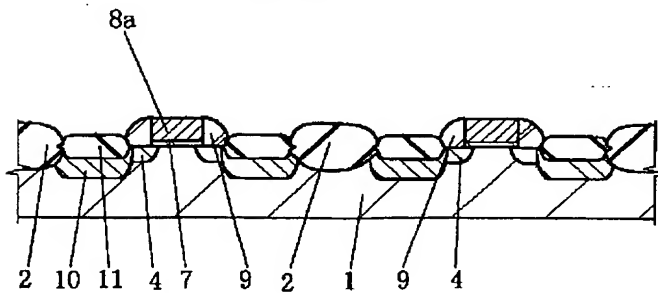
【図 7】

図 7



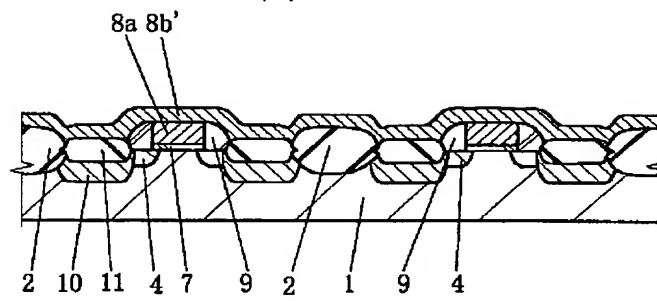
【図 8】

図 8



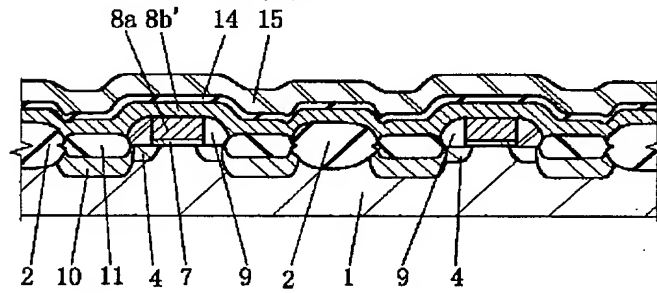
【図 9】

図 9



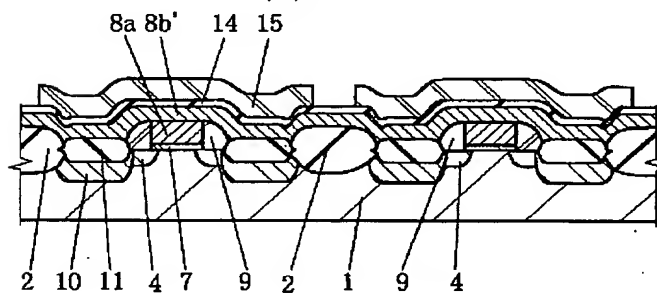
【図 10】

図 10



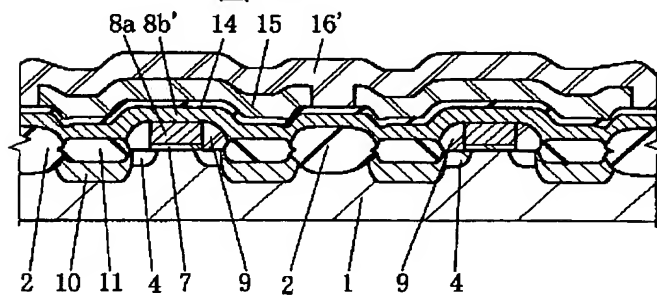
【図 11】

図 11

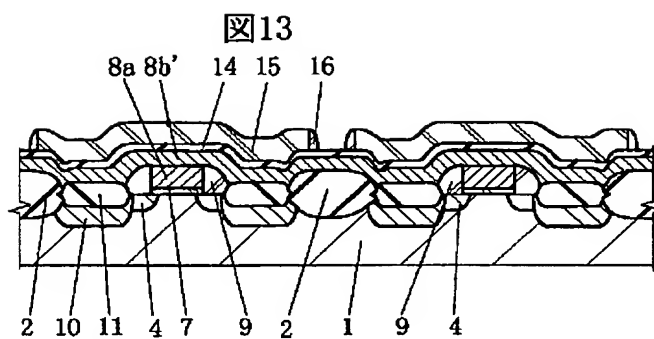


【図 12】

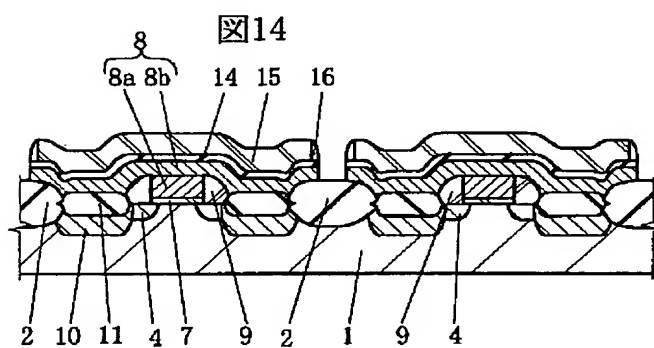
図 12



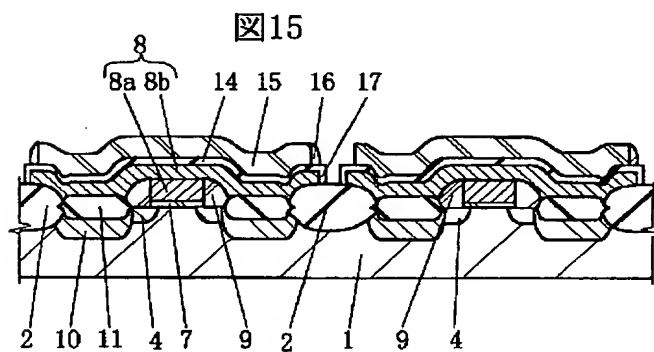
【図 1 3】



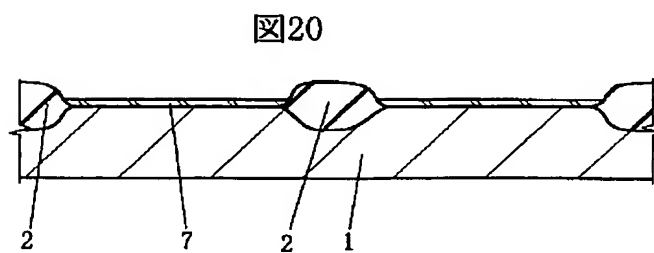
【図 1 4】



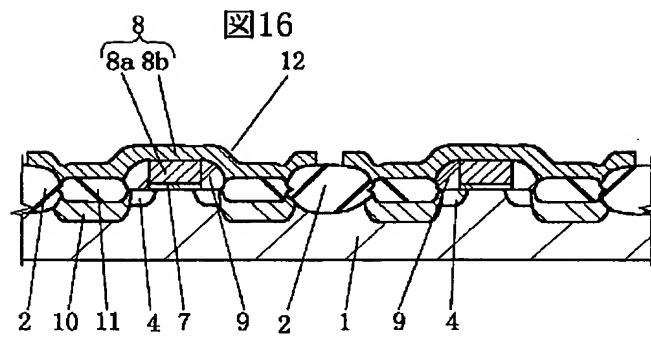
【図 1 5】



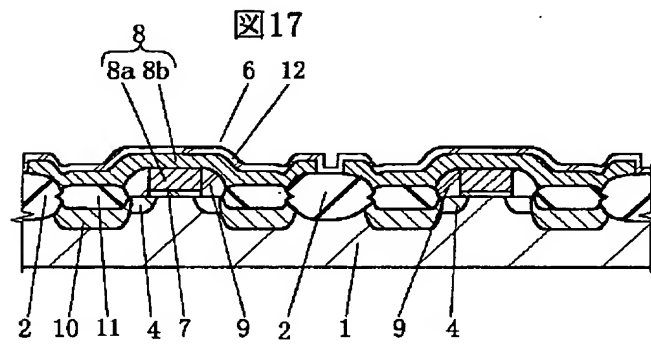
【図 2 0】



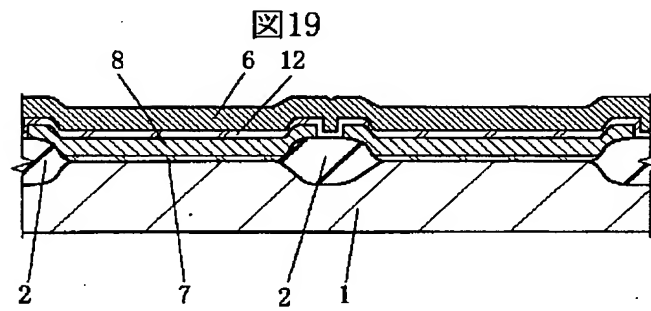
【図 1 6】



【図 1 7】

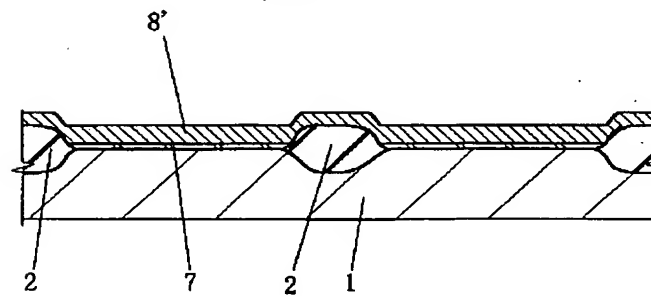


【図 1 9】

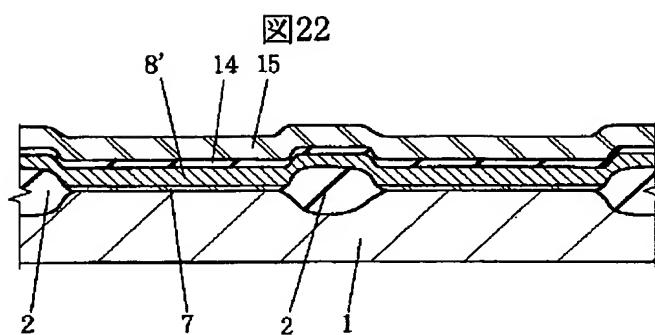


【図 2 1】

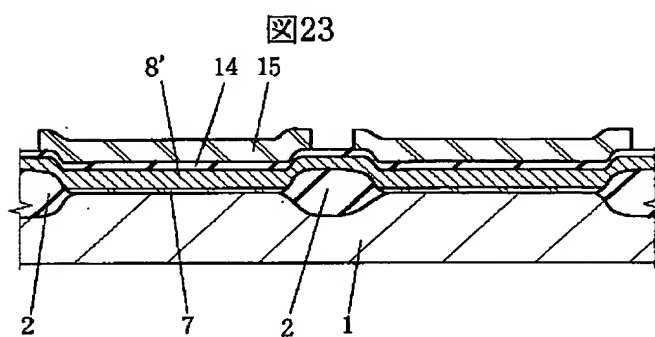
図 21



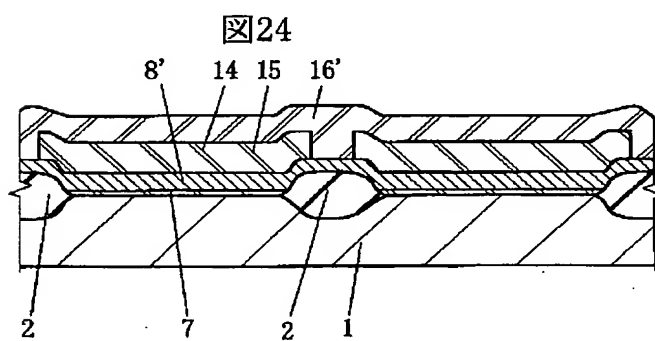
【図 2 2】



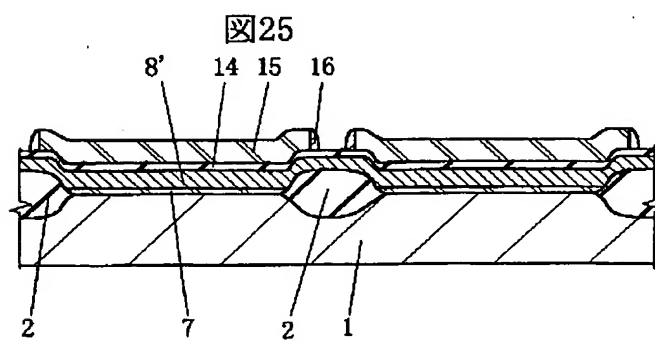
【図 2 3】



【図 2 4】

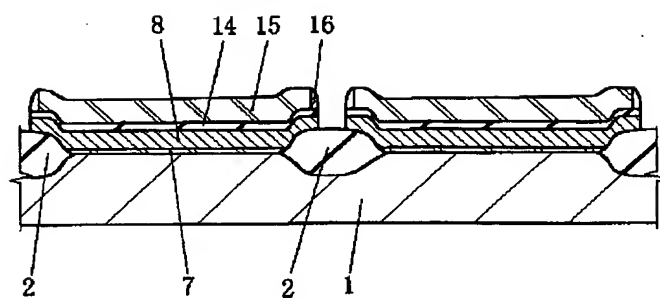


【図 2 5】



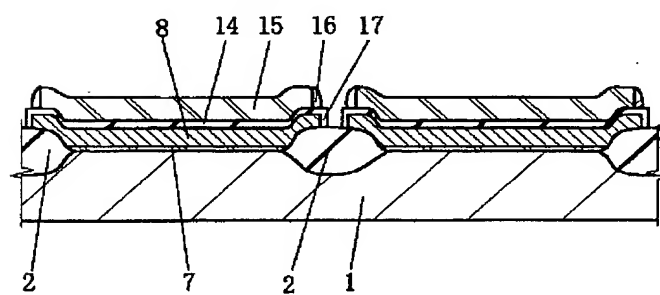
【図 2 6】

図 26



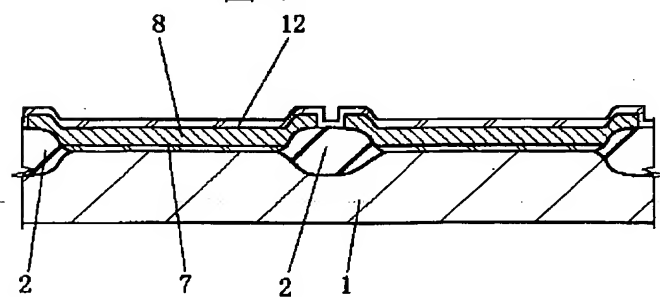
【図 2 7】

図 27



【図 2 8】

図 28



【図 2 9】

図 29

